

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017174

(43)Date of publication of application : 22.01.1999

(51)Int.Cl. H01L 29/78

H01L 29/43

(21)Application number : 09-163760

(71)Applicant : SONY CORP

(22)Date of filing : 20.06.1997

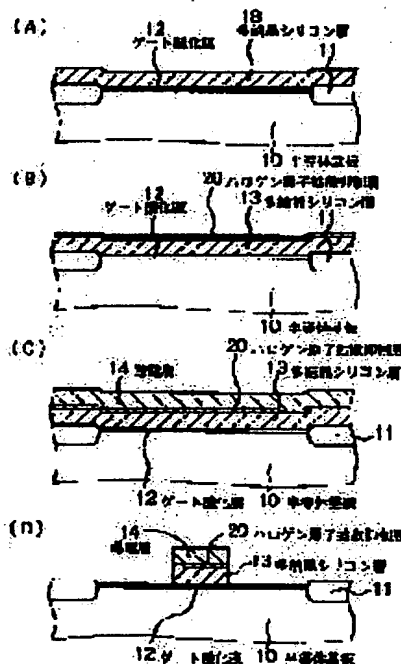
(72)Inventor : TANAKA AKIRA

(54) GATE ELECTRODE OF MIS-TYPE TRANSISTOR ELEMENT AND FORMATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the deterioration of the characteristics or the film quality of a gate oxide film by sequentially laminating the conducting layers, which are constituted of a polycrystal silicon layer, a halogen atom diffusion suppressing layer and high melting-point metal or high melting-point metal silicide, on the gate oxide film.

SOLUTION: An element separating region 11 is formed on a silicon semiconductor substrate 10, and a gate oxide film 12 is formed on the surface of the silicon semiconductor substrate 10. Then, a polycrystal silicon layer 13 on the gate oxide film 12 is formed. The film of a halogen atom diffusion suppressing layer 20 which comprises nitride titanium and has the conducting property is formed. A conducting layer 14 comprising high melting-point metal using raw material gas constituted of a metal element and a halogen element is formed on the entire surface. The conducting layer 14, the halogen atom diffusion suppressing layer 20 and the polycrystal silicon layer 13 are patterned, and the gate electrode is formed. Thus, the thickening of the film pressure of the gate oxide film is prevented, and the occurrence of the deterioration of the characteristics or the film quality in the gate oxide film can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Translation of relevant portions of citation 2

Japanese Patent Publication No.11-017174

Date of publication: January 22, 1999

Paragraphs [0013] to [0019]

Mode for Carrying Out of the Invention By reference to the Drawings, the present invention will now be explained on the basis of the working embodiment of this invention (hereinafter abbreviated as "embodiment").

"Step-10" First, after forming isolation regions 11 having an LOCOS structure (or a trench structure) on a silicon semiconductor substrate 10 by the known method, for example, a 10 nm-thick gate oxide film 12 is formed on the surface of the silicon semiconductor substrate 10 on the basis of the known thermal oxidation method such as the pyrogenic oxidation method. Next, a 50 nm-thick polycrystalline silicon layer 13 doped with an impurity is film-formed on the entire surface including the surface of the gate oxide film 12 by the conventional CVD method. Thus, the structure shown by a schematic partial cross-sectional view in Fig. 1(A) can be obtained.

"Step-20" Thereafter, an electrically conductive halogen atom diffusion inhibition layer 20 (more specifically, a fluorine atom diffusion inhibition layer) composed of a titanium nitride (TiN) is film-formed on the entire surface under the sputtering conditions shown in Table 3 below [see Fig. 1(B)].

Table 3

Target: Ti

Process Gas: nitrogen gas/argon gas=70/20 sccm

Pressure: 0.4 Pa

Film-forming Temperature: 200°C

DC Power: 12 kW

Film Thickness: 10 nm

"Step-30" Next, by the chemical vapor deposition method mainly using a raw material gas constituted of a metal element

and a halogen element, a 50 nm-thick electrically conductive layer 14 composed of a high melting point metal is formed on the entire surface. In this embodiment, specifically, the electrically conductive layer 14 is composed of tungsten (W), and WF_5 is used as a raw material gas constituted of a metal element and a halogen element (more specifically, a fluorine element in the embodiment). The forming conditions by the chemical vapor deposition method are illustrated in Table 4 below. Thus, the structure shown by a schematic partial cross-sectional view in Fig. 1(C) can be obtained.

Table 4

Gases Used: $WF_5/H_2/Ar=40/400/2,250$ sccm

Pressure: 10.7 kPa

Forming Temperature: 450°C

"Step-40" Thereafter, by the known dry etching method, an electrically conductive layer 14 composed of tungsten, a halogen atom diffusion inhibition layer 20 and a polycrystalline silicon layer 13 are patterned, and the gate electrode of an MIS type transistor is formed [see Fig. 1(D)].

Brief Explanation of the Drawings

Fig. 1 is a schematic partial cross-sectional view of a silicon semiconductor substrate or the like for explaining the gate electrode of an MIS-type transistor element and a method of forming the same according to this invention.

Fig. 2 is a schematic partial cross-sectional view of a silicon semiconductor substrate or the like for explaining a method of forming the conventional MIS-type transistor element.

Explanation of Marks

- 10... silicon semiconductor substrate,
- 11... isolation region,
- 12... gate oxide film
- 13... polycrystalline silicon layer,
- 14... electrically conducting layer
- 20... halogen atom diffusion inhibition layer

Fig. 1

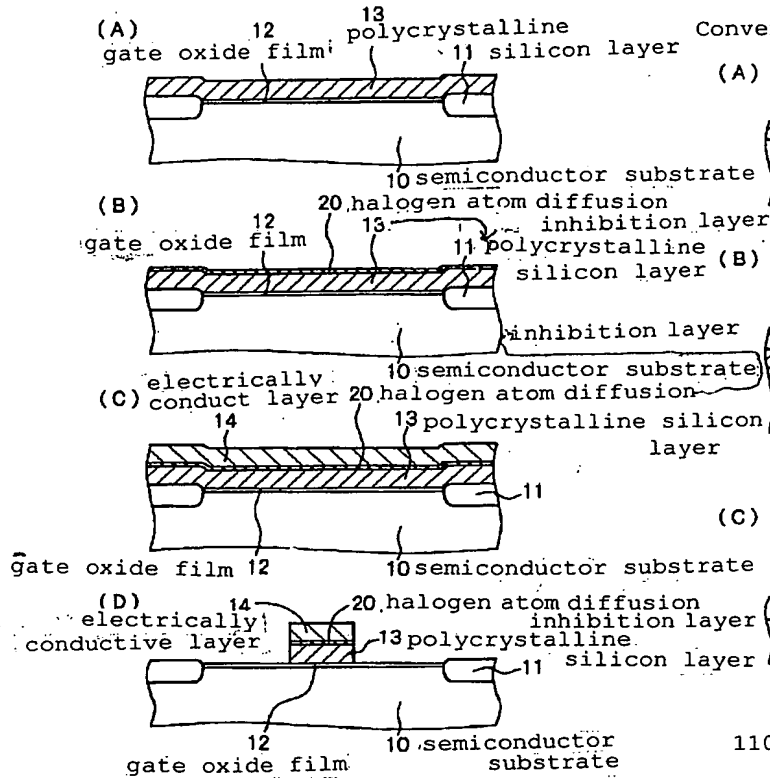
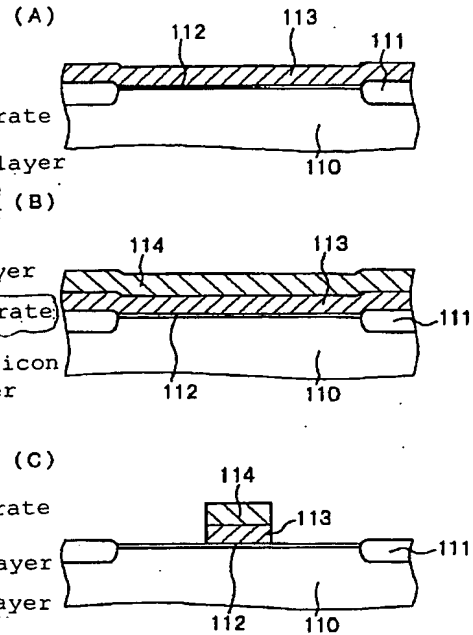


Fig. 2

Conventional Technique



110: silicon semiconductor substrate
 111: isolation region
 112: gate oxide film
 113: polycrystalline silicon layer
 114: tungsten silicide layer

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-17174

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁸H 0 1 L 29/78
29/43

識別記号

F I

H 0 1 L 29/78
29/623 0 1 G
G

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21) 出願番号

特願平9-163760

(22) 出願日

平成 9 年(1997) 6 月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 田中 陽

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(74) 代理人 弁理士 山本 孝久

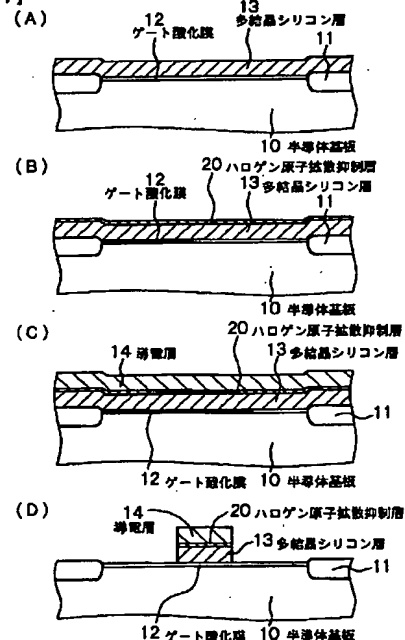
(54) 【発明の名称】 MIS型トランジスタ素子のゲート電極及びその形成方法

(57) 【要約】

【課題】 ゲート酸化膜の膜厚変化が生じることがなく、しかも、ゲート酸化膜の特性あるいは膜質に劣化が生じること防止し得るMIS型トランジスタ素子のゲート電極を提供する。

【解決手段】 MIS型トランジスタ素子のゲート電極は、ゲート酸化膜12上に、多結晶シリコン層13、導電性を有するハロゲン原子拡散抑制層20、及び、高融点金属又は高融点金属シリサイドから構成された導電層14が、順次積層されて成る。かかる導電層14は、金属元素及びハロゲン元素から構成された原料ガスを用いたCVD法にて形成することが好ましい。

【図1】



【特許請求の範囲】

【請求項 1】ゲート酸化膜上に、多結晶シリコン層、導電性を有するハロゲン原子拡散抑制層、及び、高融点金属又は高融点金属シリサイドから構成された導電層が、順次積層されて成ることを特徴とする M I S 型トランジスタ素子のゲート電極。

【請求項 2】ハロゲン原子拡散抑制層は窒化チタンから成ることを特徴とする請求項 1 に記載の M I S 型トランジスタ素子のゲート電極。

【請求項 3】導電層は、金属元素及びハロゲン元素から構成された原料ガスをを用いた化学的気相堆積法にて形成されたことを特徴とする請求項 1 に記載の M I S 型トランジスタ素子のゲート電極。

【請求項 4】導電層は、金属元素及びフッ素元素から構成された原料ガスをを用いた化学的気相堆積法にて形成されたことを特徴とする請求項 3 に記載の M I S 型トランジスタ素子のゲート電極。

【請求項 5】ゲート酸化膜上に多結晶シリコン層を成膜した後、該多結晶シリコン層上に導電性を有するハロゲン原子拡散抑制層を成膜し、次いで、金属元素及びハロゲン元素から構成された原料ガスをを用いた化学的気相堆積法にて該ハロゲン原子拡散抑制層上に高融点金属又は高融点金属シリサイドから成る導電層を形成し、その後、導電層、ハロゲン原子拡散抑制層、及び多結晶シリコン層をパターンニングすることを特徴とする M I S 型トランジスタ素子のゲート電極の形成方法。

【請求項 6】ハロゲン原子拡散抑制層は窒化チタンから成り、導電層はタングステンから成り、原料ガスは W F₆ であることを特徴とする請求項 5 に記載の M I S 型トランジスタ素子のゲート電極の形成方法。

【請求項 7】ハロゲン原子拡散抑制層は窒化チタンから成り、導電層はタングステンシリサイドから成り、原料ガスは W F₆、及び S i H₄、であることを特徴とする請求項 5 に記載の M I S 型トランジスタ素子のゲート電極の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、M I S 型トランジスタ素子のゲート電極及びその形成方法に関する。

【0002】

【従来の技術】従来、例えば M O S 型トランジスタ素子のゲート電極は、図 2 (C) に模式的な一部断面図を示すように、シリコン半導体基板 110 の表面に形成されたゲート酸化膜 112 の上に形成されており、不純物がドーピングされた多結晶シリコン層 113 と高融点金属シリサイド層（例えばタングステンシリサイド層 114）とが積層されたポリサイド構造を有している。タングステンシリサイド層 114 は、スパッタ法にて形成される場合もあるが、一般には、W F₆ ガスを主に用いた化学的気相堆積法 (C V D 法) にて形成される。尚、参

照番号 111 は素子分離領域である。

【0003】

【発明が解決しようとする課題】しかしながら、図 2 の (A) に示すようにゲート酸化膜 112 上に成膜された多結晶シリコン層 113 の上に、W F₆ ガスを主に用いた C V D 法にてタングステンシリサイド層 114 を形成したとき (図 2 の (B) 参照)、かかるタングステンシリサイド層 114 中には多量のフッ素原子が含まれる。このフッ素原子は、ゲート電極形成後の各種の熱処理工程において、多結晶シリコン層 113 を經由してゲート酸化膜 112 中に拡散する。そして、フッ素原子は、還元作用によってゲート酸化膜 112 を構成する酸化シリコン中の酸素原子と置き換わり、その結果、ゲート酸化膜中にフッ素系のシリコン誘電膜が形成される。一方、フッ素原子によって還元された酸素原子はシリコン半導体基板 110 中に拡散し、ゲート酸化膜 112 とシリコン半導体基板 110 の界面近傍におけるシリコン原子と反応して、新たにシリコン酸化膜が形成される。

【0004】以上のように、W F₆ ガスを主に用いた C V D 法にてタングステンシリサイド層 114 を形成した場合、ゲート酸化膜は、その膜厚が厚くなると共に、フッ素系のシリコン誘電膜を含むために、特性あるいは膜質の劣ったゲート酸化膜が形成されてしまうという問題がある。

【0005】従って、本発明の目的は、ゲート酸化膜の膜厚変化が生じることがなく、しかも、ゲート酸化膜の特性あるいは膜質に劣化が生じることが防止し得る M I S 型トランジスタ素子のゲート電極及びその形成方法を提供することにある。

【0006】

【課題を解決するための手段】上記の目的を達成するための本発明の M I S 型トランジスタ素子のゲート電極は、ゲート酸化膜上に、多結晶シリコン層、導電性を有するハロゲン原子拡散抑制層、及び、高融点金属又は高融点金属シリサイドから構成された導電層が、順次積層されて成ることを特徴とする。

【0007】上記の目的を達成するための本発明の M I S 型トランジスタ素子のゲート電極の形成方法は、ゲート酸化膜上に多結晶シリコン層を成膜した後、該多結晶シリコン層上に導電性を有するハロゲン原子拡散抑制層を成膜し、次いで、金属元素及びハロゲン元素から構成された原料ガスをを用いた化学的気相堆積法にて該ハロゲン原子拡散抑制層上に高融点金属又は高融点金属シリサイドから成る導電層を形成し、その後、導電層、ハロゲン原子拡散抑制層、及び多結晶シリコン層をパターンニングすることを特徴とする。

【0008】本発明においては、ハロゲン原子拡散抑制層を構成する材料として、窒化チタン (T i N)、窒化ジルコニウム (Z r N)、窒化ハフニウム (H f N)、窒化タンタル (T a N) 等を例示することができるが、

中でも、窒化チタン(TiN)を用いることが好ましい。かかるハロゲン原子拡散抑制層は、例えばスパッタ法等で代表されるPVD法や、CVD法にて形成することができる。また、高融点金属から成る導電層を、例えば、タングステン、モリブデンから構成することができる。あるいは又、高融点金属シリサイドから成る導電層を、例えば、タングステンシリサイド、モリブデンシリサイド、チタンシリサイド、タンタルシリサイドから構成することができる。尚、高融点金属又は高融点金属シリサイドから構成された導電層は、金属元素及びハロゲン元素(例えば、フッ素元素)から構成された原料ガスを主に用いた化学的気相堆積法(CVD法)にて形成することが好ましい。この場合に、形成される導電層と、使用すべき主たる原料ガスを以下の表1及び表2に例示する。尚、高融点金属シリサイドから成る導電層を形成する場合、ハロゲン原子拡散抑制層の上に多結晶シリコン層を成膜し、かかる多結晶シリコン層上にCVD法にて高融点金属を堆積させて多結晶シリコン層をシリサイド化し、これによって高融点金属シリサイドから成る導電層を形成することもできる。

【0009】

【表1】

高融点金属	原料ガス
タングステン	WF ₆
モリブデン	MoF ₆

【0010】

【表2】

高融点金属シリサイド	原料ガス
タングステンシリサイド	WF ₆ +SiH ₄
モリブデンシリサイド	MoF ₆ +SiH ₄
チタンシリサイド	TiF ₄ +SiH ₄
タンタルシリサイド	TaF ₅ +SiH ₄

【0011】本発明におけるMIS型トランジスタ素子として、構造上の分類からは、MOS型FET、TFT(薄膜トランジスタ)、接合形FET(JFET)等を例示することができ、また、機能上の分類からは、DRAM、SRAM、ROM、EPROM、EEPROM、フラッシュEEPROM、強誘電体薄膜を利用した不揮発性メモリセル(FRAM)等を例示することができる。

【0012】本発明においては、多結晶シリコン層と、高融点金属又は高融点金属シリサイドから成る導電層との間に導電性を有するハロゲン原子拡散抑制層が形成されているので、金属元素及びハロゲン元素(例えば、フッ素元素)から構成された原料ガスを主に用いた化学的気相堆積法にて導電層を形成したとき、導電層に含まれるハロゲン原子(例えば、フッ素原子)が、ゲート電極形成後の各種の熱処理工程において、多結晶シリコン層を経由してゲート酸化膜中に拡散することを効果的に抑制することができる。

【0013】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態(以下、実施の形態と略称する)に基づき本発明を説明する。

【0014】【工程-10】まず、公知の方法でLOCOS構造(あるいは、トレンチ構造)を有する素子分離領域11をシリコン半導体基板10に形成した後、例えばバイロジェニック法等の通常の熱酸化法に基づき、シリコン半導体基板10の表面に、例えば厚さ10nmのゲート酸化膜12を形成する。次いで、公知のCVD法にてゲート酸化膜12上を含む全面に、不純物がドーピングされた膜厚50nmの多結晶シリコン層13を成膜する。これによって、図1の(A)に模式的な一部断面図で示す構造を得ることができる。

【0015】【工程-20】その後、全面に、以下の表3に例示するスパッタ条件にて窒化チタン(TiN)から成る導電性を有するハロゲン原子拡散抑制層20(より具体的には、フッ素原子拡散抑制層)を成膜する(図1の(B)参照)。

【0016】

【表3】

ターゲット : Ti

プロセスガス : 窒素ガス/アルゴンガス = 70/20 sccm

圧力 : 0.4 Pa

成膜温度 : 200°C

DCパワー : 12 kW

膜厚 : 10 nm

【0017】【工程-30】次に、金属元素及びハロゲン元素から構成された原料ガスを主に用いた化学的気相堆積法にて高融点金属から成る膜厚50nmの導電層14を全面に形成する。実施の形態においては、具体的には、導電層14はタングステン(W)から成り、金属元素及びハロゲン元素(実施の形態においては、より具体的にはフッ素元素)から構成された原料ガスとしてWF₆を用いた。化学的気相堆積法による形成条件を以下の表4に例示する。こうして、図1の(C)に模式的な一部断面図を示す構造を得ることができる。

【0018】

【表4】

使用ガス : WF₆/H₂/Ar = 40/400/2250 sccm

圧力 : 10.7 kPa

形成温度 : 450°C

【0019】【工程-40】その後、公知のドライエッチング法にて、タングステンから成る導電層14、ハロゲン原子拡散抑制層20及び多結晶シリコン層13をバターニングし、MIS型トランジスタ素子のゲート電極を形成する(図1の(D)参照)。

【0020】【工程-50】その後、公知の方法で、L

DD構造を形成するための不純物イオン注入を行い、次いで、 SiO_2 等の絶縁材料を全面に堆積させた後、かかる絶縁材料を異方性ドライエッチングすることでサイドウォールをゲート電極の側壁に形成し、ソース・ドレイン領域を形成するための不純物イオン注入を行い、イオン注入された不純物の活性化アニール処理を行う。そして、全面に層間絶縁層を形成した後、必要な箇所にコンタクトホールを形成すると共に、層間絶縁層上に配線を形成し、実施の形態においてはMOS型トランジスタ素子を完成させる。

【0021】以上、本発明を、実施の形態に基づき説明したが、本発明はこれに限定されるものではない。実施の形態にて説明したMIS型トランジスタ素子の構造は例示であり、適宜変更することができるし、各種の条件も例示である。実施の形態においてはシリコン半導体基板の表面にゲート酸化膜を形成したが、本発明はこのような形態に何ら制限されず、例えば、絶縁層若しくは絶縁体、絶縁基板の上に形成された単結晶シリコン層、多結晶シリコン層、アモルファスシリコン層の表面にゲート酸化膜を形成してもよい。実施の形態においては、タングステンから成る導電層をハロゲン原子拡散抑制層上に形成したが、例えばタングステンシリサイドから成る導電層をハロゲン原子拡散抑制層上に形成してもよい。タングステンシリサイドから成る導電層のCVD法による形成条件を以下の表5に例示する。また、場合によっては、導電層とハロゲン原子拡散抑制層との間に、多結晶シリコン層が形成されていてもよい。

【0022】

【表5】

使用ガス： $\text{WF}_6/\text{SiH}_4=10/450\text{ sccm}$

圧力：47 Pa

形成温度：360°C

【0023】また、 TiN から成るハロゲン原子拡散抑制層の成膜は、スパッタ法に限定されず、例えばCVD法にて行うこともできる。 TiN 層のECR-CVD法

による形成条件を以下の表6に例示する。

【0024】

【表6】

使用ガス： $\text{TiCl}_4/\text{H}_2/\text{N}_2=20/26/8\text{ sccm}$

マイクロ波パワー：2.8 kW

基板RFバイアス：-50 W

温度：420°C

圧力：0.12 Pa

10 【0025】

【発明の効果】本発明によれば、導電性を有するハロゲン原子拡散抑制層をゲート電極に備えることによって、金属元素及びハロゲン元素から構成された原料ガスを主に用いた化学的気相堆積法にて高融点金属又は高融点金属シリサイドから成る導電層を形成したとき、導電層に含まれるハロゲン原子が、ゲート電極形成後の各種の熱処理工程において、多結晶シリコン層を経由してゲート酸化膜中に拡散することを効果的に抑制することができる。その結果、ゲート酸化膜の膜厚が厚くなることを防止することができると共に、例えばフッ素系のシリコン誘電膜がゲート電極に含まれることを抑制でき、ゲート酸化膜に特性あるいは膜質の劣化が生じることを確実に防止することができる。

【図面の簡単な説明】

【図1】本発明のMIS型トランジスタ素子のゲート電極及びその形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

【図2】従来のMIS型トランジスタ素子のゲート電極の形成方法を説明するためのシリコン半導体基板等の模式的な一部断面図である。

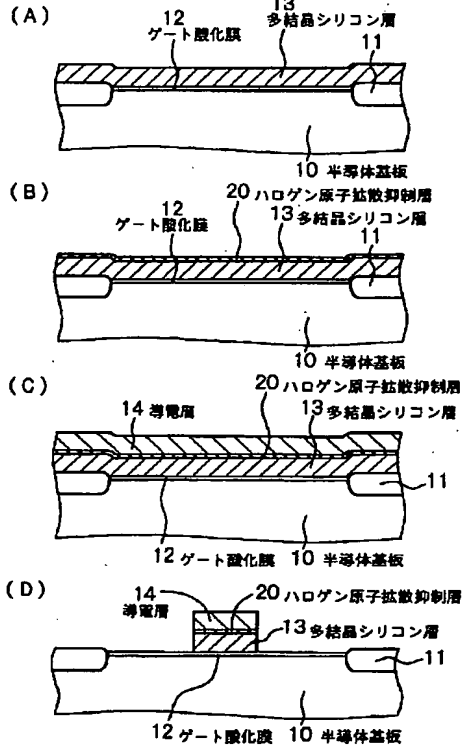
30

【符号の説明】

10・・・シリコン半導体基板、11・・・素子分離領域、12・・・ゲート酸化膜、13・・・多結晶シリコン層、14・・・導電層、20・・・ハロゲン原子拡散抑制層

【図1】

【図1】



【図2】

【図2】

(従来の技術)

